

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/02	(11) 공개번호 (43) 공개일자	특 1998-048835 1998년 09월 15일
(21) 출원번호	특 1996-067483	
(22) 출원일자	1996년 12월 18일	
(71) 출원인	삼성전자 주식회사 김광호	
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 최영준	
	서울특별시 송파구 신천동 11-9 한신코아아파트 826	

심사청구 : 없음

(54) 인덕터 제조방법

요약

인덕터 제조방법이 개시되어 있다. 이는, 반도체 기판 상에 폴리이미드 패턴을 형성하는 단계와, 상기 폴리이미드 패턴 위에 절연층을 형성하는 단계와, 상기 절연층을 에치백(Etch-Back)하여, 상기 폴리이미드 패턴 측벽에는 스페이서를 형성함으로써 패턴 해상도를 향상시키고, 상기 폴리이미드 패턴 상부 표면의 오목한 부분에는 상기 절연층을 잔존시켜 절연층 두께를 균일하게 하는 단계와, 스페이서가 형성된 상기 결과물 전면에, 메탈을 증착하여 메탈층을 형성하는 단계와, 및 상기 메탈층을 패턴닝하여 메탈 패턴을 형성하는 단계를 구비하는 것을 특징으로 한다. 따라서, 패턴 해상도 향상과 함께 절연막 두께의 균일도가 향상된다.

도표도

도 10

명세서

도면의 간단한 설명

도 1은 스퀘어 사이드 인덕터(Square Sided Inductor)를 개략적으로 도시한 도면이다.
도 2는 도 1에 도시된 인덕터의 등가회로도이다.
도 3 내지 도 5는 종래의 인덕터 제조방법을 설명하기 위해 도시한 단면도들이다.
도 6 내지 도 10은 본 발명의 일 실시예에 따른 인덕터 제조방법을 설명하기 위해 도시한 단면도들이다.

발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 인덕터 제조방법에 관한 것으로, 특히 패턴 해상도 향상에 기여하고 절연막 두께 균일도 향상에 기여하는 인덕터 제조방법에 관한 것이다.

정보통신 기기의 채널 대역이 높아짐에 따라 RF(Radio Frequency)나 마이크로웨이브(Microwave, 1~30GHz) 영역의 고주파 기술이 중요시되고 있다. 고주파 영역에서는 입력 신호의 누설을 방지하기 위해 절연막 두께를 가능한한 높여야 한다.

일반적으로 반도체 소자 제조공정에서는 실리콘산화물(SiO₂)로된 절연막을 사용하지만, 실리콘산화물을 3 μm 이상 첨착하게 되면 인트린직 스트레스(Intrinsic Stress)에 의해 크랙(Crack)이 발생하기 때문에 절연막으로서 사용이 불가능하게 된다.

따라서, 절연특성이 우수하고 갭 필링(Gap Filling) 능력이 뛰어나며, 최대 두께가 10 μm 까지 가능한 폴리이미드(Polyimide) 막질을 사용하여 인덕터 특성을 구현한다.

도 1은 스퀘어 사이드 인덕터(Square Sided Inductor)를, 도 2는 상기 인덕터의 등가회로도를 각각 나타낸다.

도 1 및 도 2를 참조하면, C₁ 및 C₂는 메탈과 반도체 기판 사이의 기생 커패시턴스를 각각 나타내며, C₃은 메탈과 메탈 사이의 기생 커패시턴스를 나타내며, L은 메탈의 리액턴스(Reactance)를 각각 나타낸다.

도 3 내지 도 5는 종래의 인덕터 제조방법을 설명하기 위해 도시한 단면도들이다.

먼저, 반도체 기판(1) 상에 폴리이미드를 증착한 다음 패터닝하여 폴리이미드 패턴(3)을 형성하고(도 3), 그 위에 메탈을 증착하여 메탈층(5)을 형성한 다음(도 4), 상기 메탈층(5)을 통상의 방법으로 패터닝하여 메탈 패턴(7)을 형성한다.

통상적으로 폴리이미드는 비감광성으로서, 최대의 해상 능력이 40 μm 이하이며, 패터닝이 힘든 실정이다. 따라서, 균일한 막질로 10 μm 수준의 폴리이미드 막질을 얻기 또한 상당한 노력이 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 폴리이미드 패턴의 해상도 향상과 함께 절연막 두께 균일도를 향상시킬 수 있는 인덕터 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위해 본 발명은, 반도체 기판 상에 폴리이미드 패턴을 형성하는 단계; 상기 폴리이미드 패턴 위에 절연층을 형성하는 단계; 상기 절연층을 에치-백(Etch-Back)하여, 상기 폴리이미드 패턴 측벽에는 스페이서를 형성함으로써 패턴 해상도를 향상시키고, 상기 폴리이미드 패턴 상부 표면의 오목한 부분에는 상기 절연층을 잔존시켜 절연층 두께를 균일하게 하는 단계; 스페이서가 형성된 상기 결과물 전면에, 메탈을 증착하여 메탈층을 형성하는 단계; 및 상기 메탈층을 패터닝하여 메탈 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 인덕터 제조방법을 제공한다.

따라서, 패턴 해상도 향상과 함께 절연막 두께의 균일도가 향상된다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명하고자 한다.

도 6 내지 도 10은 본 발명의 일 실시예에 따른 인덕터 제조방법을 설명하기 위해 도시한 단면도들이다.

본 발명의 일 실시예에 따르면, 먼저 먼저, 반도체 기판(51) 상에 폴리이미드를 통상의 방법으로 증착한 다음 패터닝하여 폴리이미드 패턴(53)을 형성하고(도 6), 그 위에 절연물, 예컨대 실리콘 온 글래스(Silicon On Glass, 이하 SOG)를 도포하여 산화막(55)을 형성한 다음(도 7), 에치-백(Etch-Back)을 실시하여 상기 폴리이미드 패턴(53) 측벽에 스페이서(57)를 형성한다(도 8). 이때, SOG는 폴리이미드 패턴 표면에 골짜기 형성되어 있기 때문에 폴리이미드 패턴(53) 상부 일부에도 잔존하게 되고, 이에 의해 절연층 두께 균일성이 향상된다. 계속해서, 스페이서(57)가 형성된 상기 결과물 전면에, 메탈을 증착하여 메탈층(59)을 형성하고(도 9), 이를 통상의 방법으로 패터닝하여 메탈 패턴(61)을 형성함으로써 스케어 사이드 인덕터를 형성한다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 폴리이미드 패턴이 형성된 결과물 상에 절연층을 증착한 다음 에치-백함으로써, 폴리이미드 패턴 측벽에 산화물 스페이서를 형성하고 그 상부 표면 일부에 이를 잔존시킴으로써, 패턴 해상도를 향상시키고 절연막 두께의 균일도를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 폴리이미드 패턴을 형성하는 단계;

상기 폴리이미드 패턴 위에 절연층을 형성하는 단계;

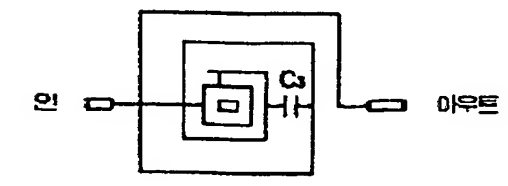
상기 절연층을 에치-백(Etch-Back)하여, 상기 폴리이미드 패턴 측벽에는 스페이서를 형성함으로써 패턴 해상도를 향상시키고, 상기 폴리이미드 패턴 상부 표면의 오목한 부분에는 상기 절연층을 잔존시켜 절연층 두께를 균일하게 하는 단계;

스페이서가 형성된 상기 결과물 전면에, 메탈을 증착하여 메탈층을 형성하는 단계; 및

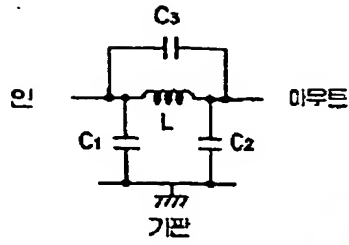
상기 메탈층을 패터닝하여 메탈 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 인덕터 제조방법.

도면

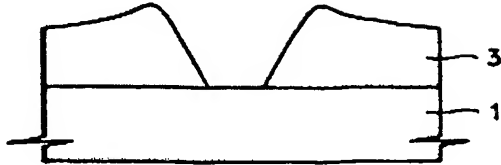
도면1



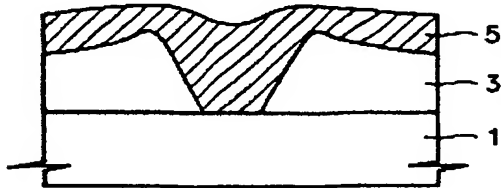
도 12



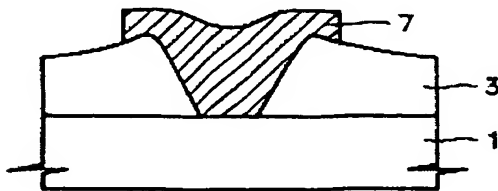
도 13



도 14



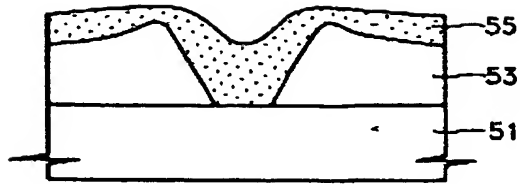
도 15



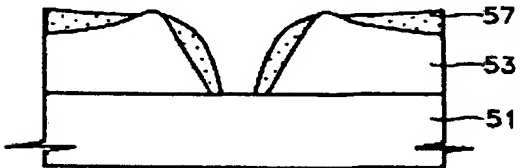
도 16



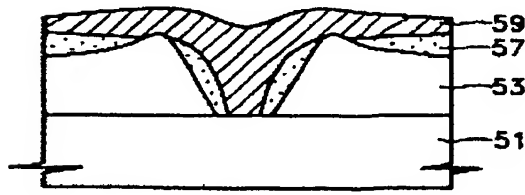
도 87



도 88



도 89



도 90

